

SPŠSE a VOŠ Liberec

AUT E3

A/Č A Č/A

PŘEVODNÍKY

A/Č PŘEVODNÍKY OBECNĚ

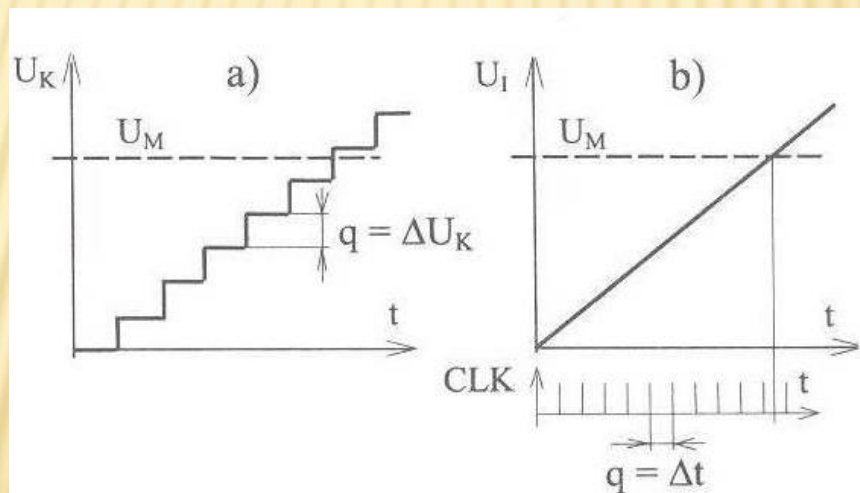
Podle způsobu, jak tento převod realizují, rozdělujeme A/Č převodníky do dvou skupin:

- a) přímé převodníky s kvantováním měřené veličiny, jejichž výstupem je přímo počet kvant ΔU_K . Do této skupiny patří převodníky kompenzační a komparační.
- b) nepřímé převodníky, tj. s mezipřevodem měřené veličiny U_M na čas nebo frekvenci, u nichž ke kvantování dochází v časové oblasti. Do této skupiny patří převodníky s jednoduchou nebo dvojitou integrací a převodníky napětí – frekvence.

A/Č převodník je elektronický systém převádějící spojitě proměnný vstupní signál reprezentovaný zpravidla napětím U_M na posloupnost číselných hodnot. Lineárnímu vstupnímu signálu proto odpovídá na výstupu převodníku funkce odstupňovaná v tzv. kvantech, jejichž velikost určuje rozlišovací schopnost převodníku. A/Č převodníky tedy pracují tak, že spojitou vstupní veličinu převedou v určitém časovém okamžiku, daném periodou vzorkování Δt , na svém výstupu na určitý celistvý počet kvant.

PRINCIP ČINNOSTI A/Č PŘEVODNÍKU

Princip činnosti obou typů převodníků je graficky vyjádřen převodními charakteristikami na *obr 4.14*. Na svislých osách jsou znázorněny vlevo stupňovitý průběh napětí U_K kompenzačního resp. komparačního převodníku, vpravo lineární průběh napětí U_I na výstupu integračního převodníku, hodnota převáděného vstupního signálu (napětí) je označena U_M . Nezávisle proměnnou je na vodorovné ose čas.

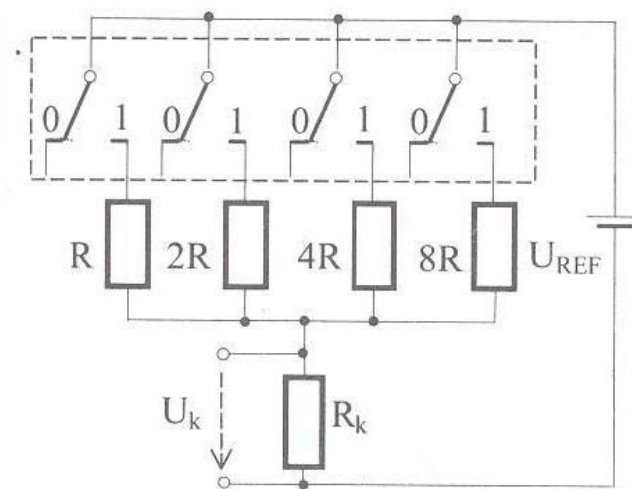


Obr. 4.14 Principy A/Č převodníků:
a) přímý, b) nepřímý

A/Č PŘEVODNÍK - PŘÍMÝ KOMPENZAČNÍHO TYPU

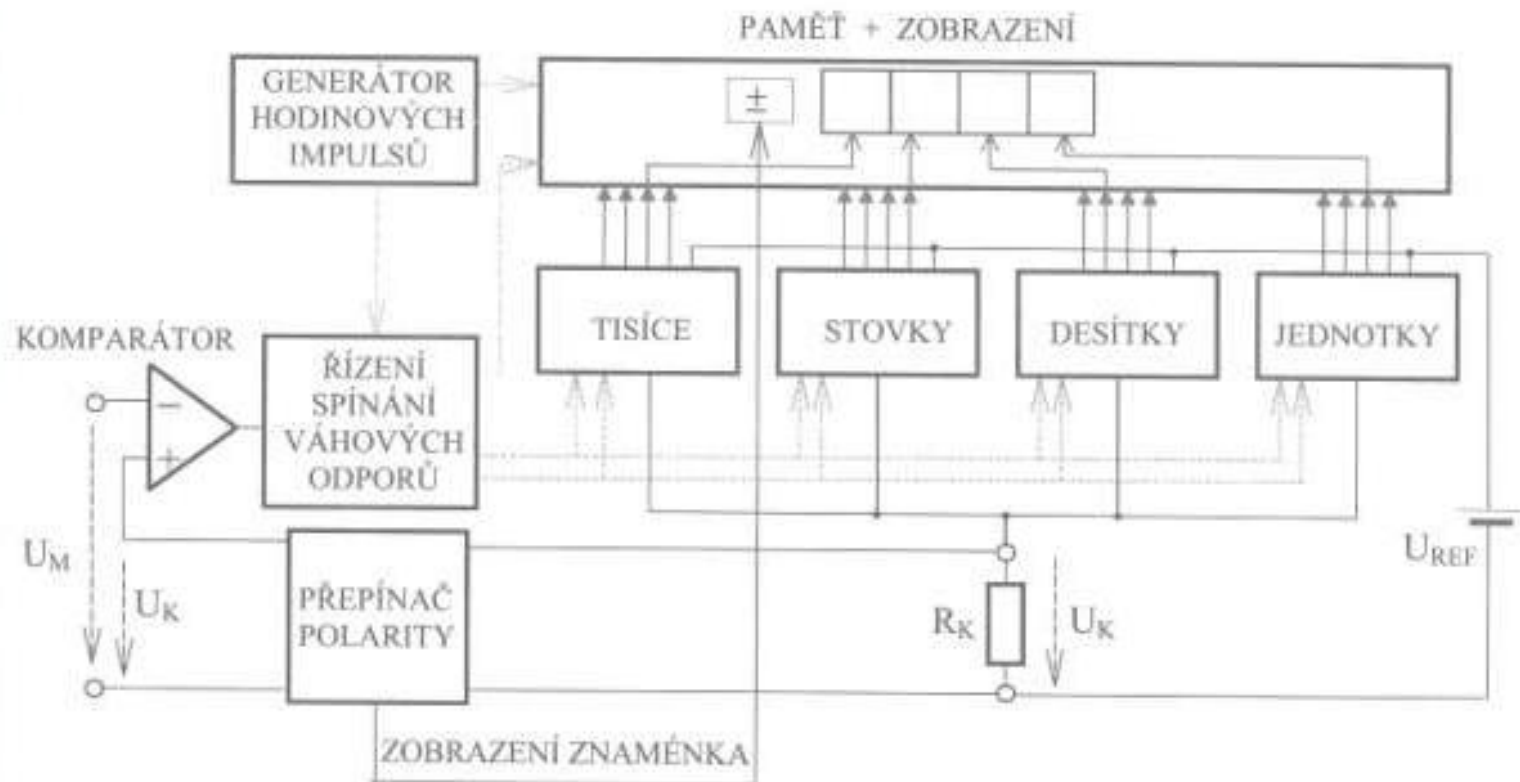
Přímé A/Č převodníky kompenzačního typu porovnávají měřené napětí U_M s kompenzačním napětím U_K generovaným přírůstkovou metodou nebo tzv. metodou postupné aproximace. Blokové schéma převodníku znázorněné na *obr. 4.16* obsahuje komparátor měřeného napětí U_M a komparačního napětí U_K vzniklého na odporu R_K průchodem proudu přes čtveřice váhových odporů odstupňovaných v každém desítkovém řádu v poměru 8:4:2:1. Schéma zapojení čtveřice odporů pro jednu dekádu je uvedeno na *obr. 4.15*. Spínání a odepínání jednotlivých odporů je ovládáno řídicím obvodem, ovládajícím též zapamatování a zobrazení komparované hodnoty. Zapojení vyžaduje stabilizovaný zdroj referenčního napětí U_{REF} a generátor hodinových impulsů.

Algoritmus přírůstkově pracujícího A/Č převodníku spočívá v přepínání váhových odporů tak, že v každém taktu se jejich hodnota mění o jednotku (tj. kvantum). Průběh hodnoty kompenzačního napětí U_K proto má tvar rovnoměrně rostoucí schodovité křivky. V okamžiku shody měřeného a kompenzačního napětí řídicí obvod ukončí přívod impulsů pro přepínání váhových odporů a uloží získaný stav do paměti zobrazovací jednotky, vynuluje čítač kvantovacích kroků a zahájí nový takt převodu. Doba převodu proto závisí na velikosti měřeného napětí a při převodu hodnoty ležící v horní části měřicího rozsahu je poměrně dlouhá. Zrychlení převodu se



Obr. 4.15 Zapojení jedné dekády

A/Č PŘEVODNÍK – PŘÍMÝ KOMPENZAČNÍHO TYPU



Obr. 4.16 Blokové schéma A/Č převodníku

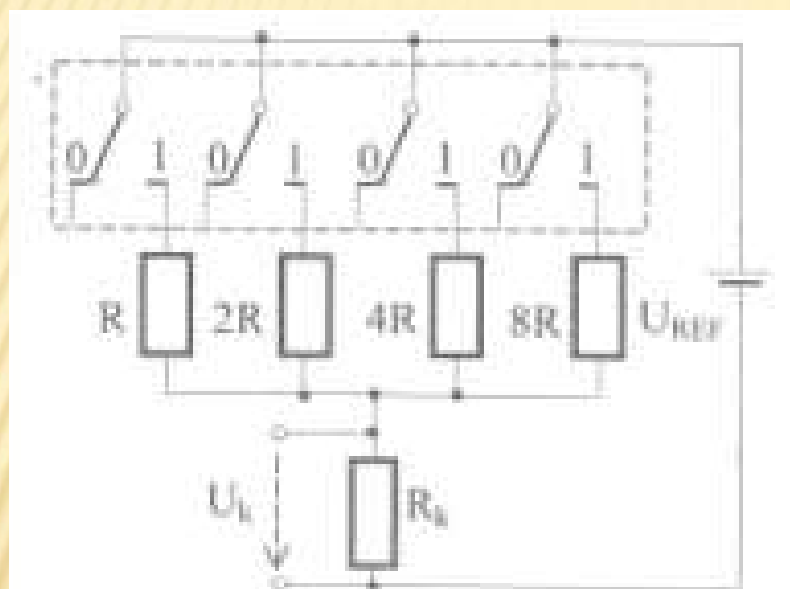
A/Č PŘEVODNÍK – PŘÍMÝ KOMPENZAČNÍHO TYPU

dosahuje různými metodami, z nichž nejužívanější je tzv. metoda postupné aproximace, označovaná jako kódování řád po řádu. Při aplikaci tohoto algoritmu se začíná připojením nejmenšího váhového odporu v nejvyšším řádu, generujícím na odporu R_K největší komparační napětí U_K . Na vstupu komparátoru mohou při porovnávání obou napětí U_K a U_M nastat tři stavy:

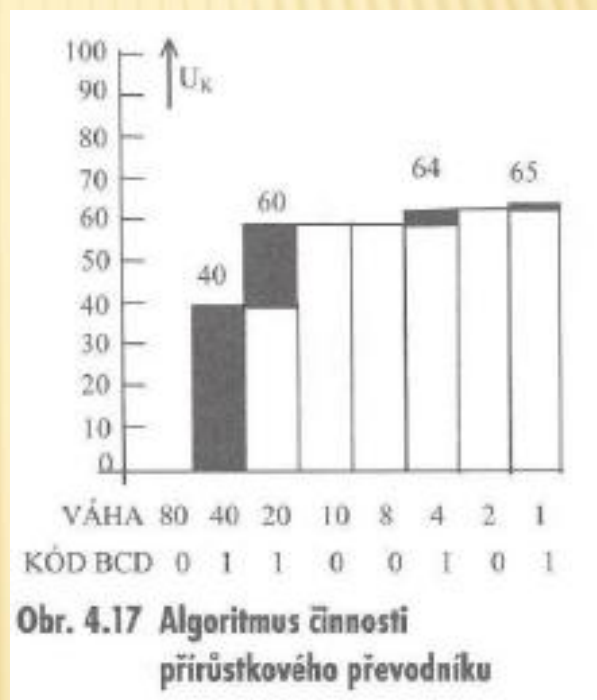
- 1) komparační napětí $U_K < U_M$, v tomto případě zůstane poslední připojený odpor sepnutý, odpovídající váhový bit je nastaven na úroveň H a spíná se další, tj. nejbližší vyšší odpor,
- 2) komparační napětí $U_K > U_M$, tj. právě připojeným testovaným odporem vzrostl proud a tím kompenzační napětí U_K na odporu R_K na příliš velkou hodnotu, takže se odpor odpojí, odpovídající váhový bit se nastaví na úroveň L a spíná se další, tj. vyšší odpor tak, aby proud jím procházející generoval na odporu R_K ve srovnání s předchozím taktem převodu menší přírůstek napětí ΔU_K ,
- 3) obě napětí jsou shodná, tj. $U_K = U_M$, v tomto případě je převod ukončen.

Dle uvedených podmínek převodník v periodách definovaných synchronizačními impulzy postupně testuje spínáním váhových odporů relaci mezi U_K a U_M , až dospěje k jejich shodě nebo k nejméně významnému bitu, kdy již změřený údaj nelze dále zpřesňovat. Algoritmus přepínání odporů je graficky znázorněn na *obr. 4.17*. Je na něm stanovena hodnota 65 jednotek z rozsahu 0÷100 jednotek pomocí dvoudekádového převodníku s váhovými odpory odstupňovanými v hodnotách $R/80$, $R/40$, $R/20$, $R/10$, $R/8$, $R/4$, $R/2$ a R . Komparátor testuje proti hodnotě 65 postupně hodnoty napětí U_K vzniklého průchodem váhových proudů na odporu R_K , tj. stavy 80, 40, 60, 70, 68, 64, 66, 65 jednotek, takže výsledek převodu je posloupnost logických hodnot 01100101 s příslušnými vahami.

DEKÁDA

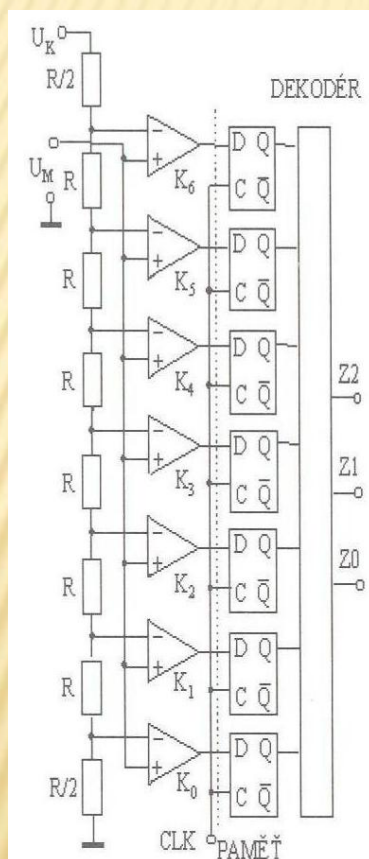


Obr. 4.15 Zapojení jedné dekády



Obr. 4.17 Algoritmus činnosti
přirůstkového převodníku

KOMPARAČNÍ PŘEVODNÍK A/Č

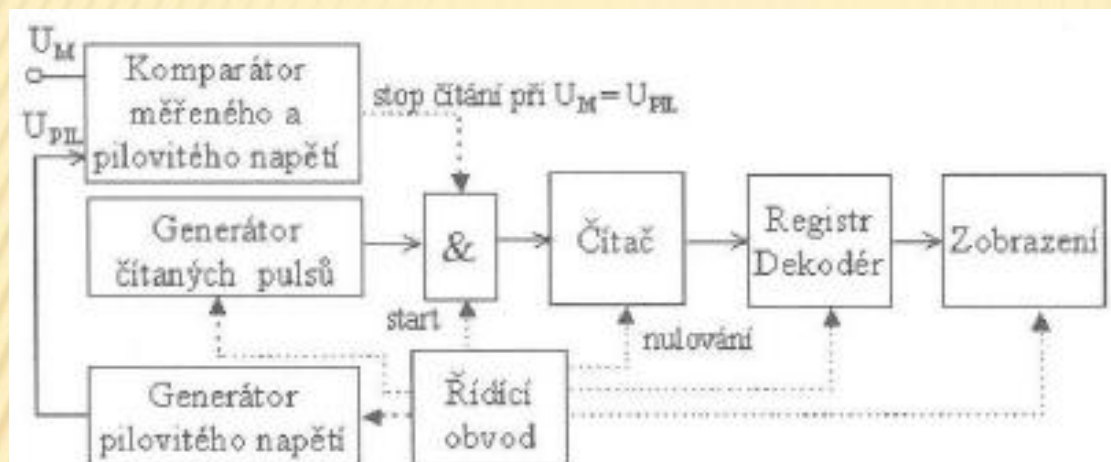


Obr. 4.18 Komparační A/Č převodník

Komparační převodník je nejrychlejší typem A/Č převodníku, protože převod je proveden v jediném taktu, jak je zřejmé ze schématu tříbitového převodníku na obr. 4.18.

Princip převodu spočívá v porovnání měřené hodnoty U_M s řadou referenčních napětových úrovní odvozených od referenčního napětí U_{REF} na odporovém děliči. Každé úrovní referenčního napětí je přiřazen jeden komparátor, jehož výstupní napětí odpovídá úrovni L nebo H v závislosti na rozdílu napětí na jeho vstupech. Při $U_+ > U_-$ bude na výstupu úroveň H, při $U_+ < U_-$ bude úroveň L. Protože rychlost reakce komparátorů nemusí být shodná, jsou jejich výstupy připojeny na paměťové klopné obvody, jejichž činnost je synchronizovaná taktovacím signálem CLK. Na jejich výstup připojený dekodér převede jejich stavy na údaj vhodný pro další zpracování. Ze zapojení je zřejmé, že pokud bychom na výstupy komparátorů zapojili diody LED a uspořádali je sloupcovitě, výška rozsvícené části sloupce by udávala hodnotu měřeného napětí U_M vztaženého k rozsahu převodníku. Počet rozlišovacích úrovní je o jednotku větší než počet komparátorů (pro uvedený tříbitový převodník rozlišující osm úrovní je třeba sedm komparátorů $K_0 + K_6$). Realizace převodníku tedy vyžaduje značný počet součástek, jeho předností je vzhledem k paralelnímu zpracovávání převodu rychlost, která je ze všech převodníků nejvyšší (řádově 10 ns).

A/Č PŘEVODNÍK NEPŘÍMÝ S JEDNOTAKTNÍ INTEGRACÍ



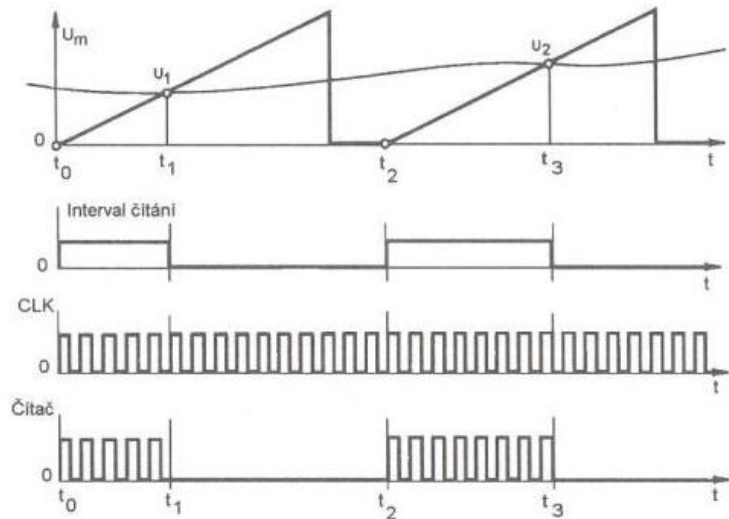
Obr. 4.19 Blokové schéma jednotaktního A/Č převodníku

A/Č převodník s jednotaktní integrací ovládaný řídicím obvodem vyžaduje pro svoji funkci především dva pomocné generátory, a to generátor lineárně rostoucího pilovitěho napětí U_{PIL} pro komparaci s měřeným napětím U_M a generátor čítaných impulsů. V blokovém schématu na obr. 4.19 je dále znázorněn komparátor obou napětí U_{PIL} a U_M , hradlo ovládané klopným obvodem R-S, určující start a stop

čítání. Na jeho výstup je připojen čítač sumarizující pulzy generátoru a zobrazovací jednotka s registrem a B/D – dekodérem.

Časový diagram činnosti převodníku je uveden na obr. 4.20. Řídicí obvod nuluje čítač startovacím impulzem v čase t_0 , otevře hradlo a začne generovat lineárně rostoucí signál. Čítač v tom okamžiku začne načítávat pulzy a to až do okamžiku stavu shody měřeného a komparačního napětí v čase t_1 , v němž komparátor vygeneruje signál stop, kterým uzavře hradlo a ukončí v daném taktu převodu čítání. Z časového diagramu plyne, že při lineárním růstu komparačního napětí je časový interval

A/Č PŘEVODNÍK NEPŘÍMÝ S JEDNOTAKTNÍ INTEGRACÍ



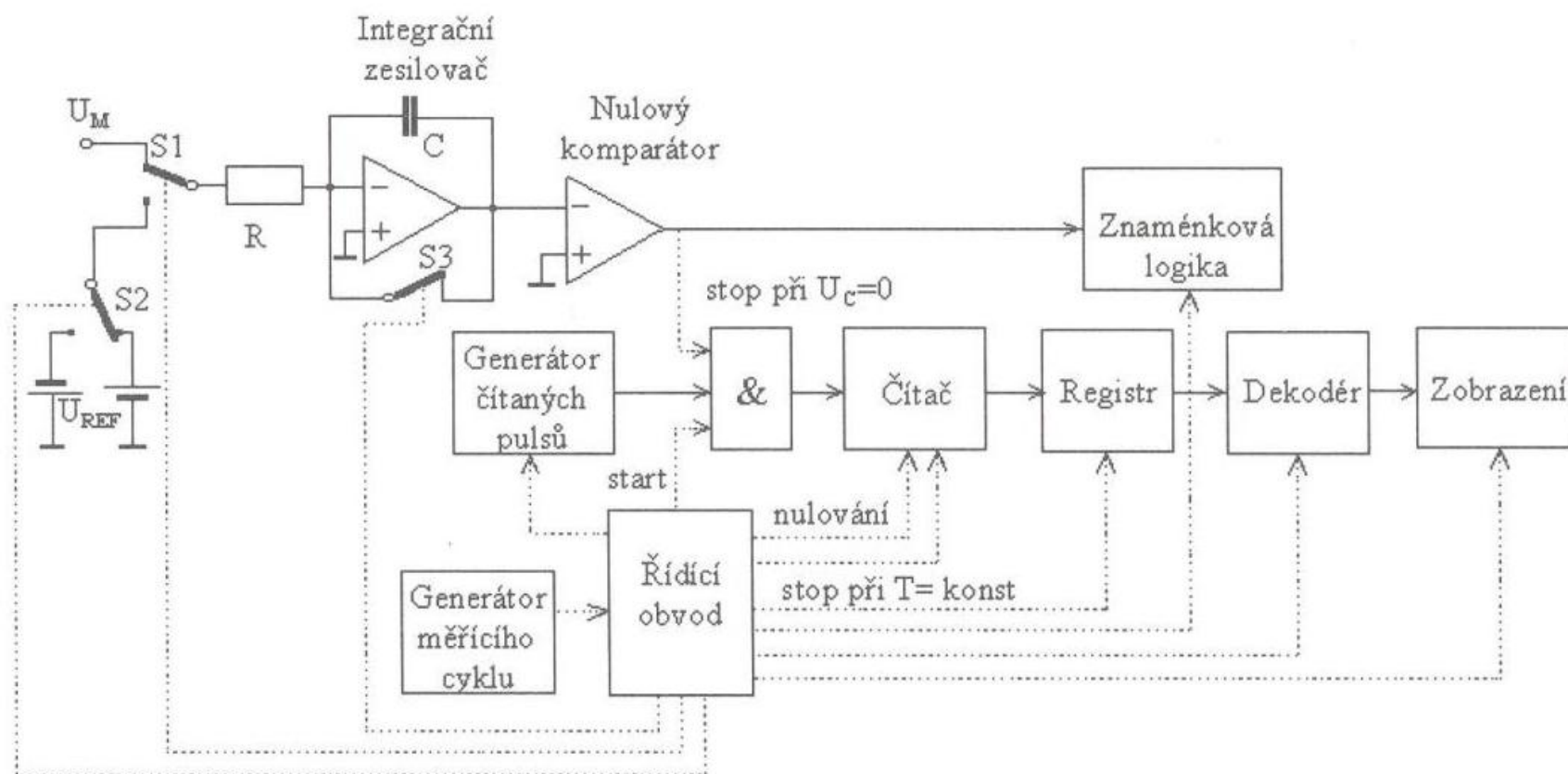
Obr. 4.20 Časový diagram činnosti jednotaktního A/Č převodníku

otevření hradla $t_1 - t_0$ přímo úměrný měřenému napětí U_1 . Délce intervalu $t_1 - t_0$ potom odpovídá i počet pulzů načtených čítačem.

Pro přesnost převodu je proto nutný dokonale lineární průběh komparačního napětí U_{PIL} a konstantní kmitočet generátoru čítaných impulzů. Doba jednoho měřicího taktu může být kratší než 1ms, rozlišovací schopnost lepší než $10\mu V$.

A/Č PŘEVODNÍK NEPŘÍMÝ S DVOUTAKTNÍ INTEGRACÍ

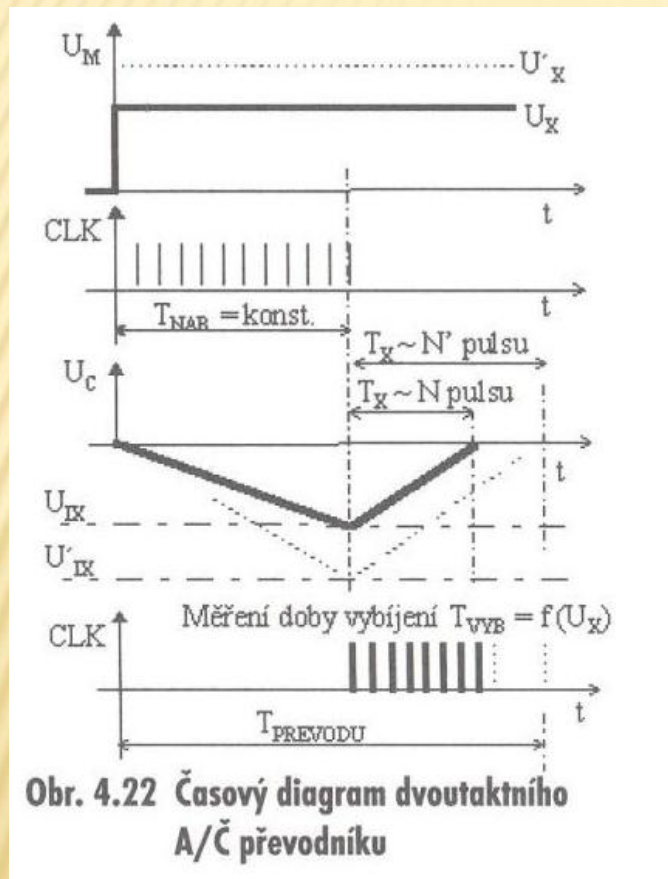
Obr. 4.21 Blokové schéma dvoutaktního A/Č převodníku



A/Č PŘEVODNÍK NEPŘÍMÝ S DVOUTAKTNÍ INTEGRACÍ

A/Č převodník s dvoutaktní integrací je nejdůležitějším typem A/Č převodníku protože při obvodové jednoduchosti je poměrně přesný. Blokové schéma na *obr. 4.21* obsahuje opět řídicí obvod a dva generátory, tj. generátor měřicího cyklu a generátor čítaných impulsů. Ve srovnání s jednotaktním převodníkem jsou ve schématu navíc zapojeny prvky pro vybíjení kapacity integračního zesilovače, tj. zdroj napětí U_{REF} pro vybíjení a obvod výběru polarity tohoto napětí připojovaného pomocí přepínačů S1 a S2. V počátečním stavu jsou čítač a integrátor vynulovány a hradlo uzavřeno. I. takt převodu, jehož časový diagram je znázorněn na *obr. 4.22*, začíná startovacím impulzem generátoru měřicího cyklu, kterým se otevře hradlo a připojí se přes spínač S1 měřené napětí U_M na vstup integrátoru.

A/Č PŘEVODNÍK NEPŘÍMÝ S DVOUTAKTNÍ INTEGRACÍ



probíhají současně tři činnosti:

- 1) lineárně roste výstupní napětí integrátoru,
- 2) otevřeným hradlem vstupují čítané hodinové pulzy do čítače,
- 3) výstupní napětí nulového komparátoru určuje polaritu měřeného napětí U_M a prostřednictvím obvodu znaménkové logiky tím definuje polohu přepínače S_2 připojujícího zdroj referenčního napětí U_{REF} na vstup integrátoru pro vybíjení ve II. taktu převodu.

A/Č PŘEVODNÍK NEPŘÍMÝ S DVOUTAKTNÍ INTEGRACÍ

I. takt je ukončen signálem čítače, kterým je odměřena pevná doba integrace vstupního napětí U_M , tj. časový interval $T_{NAB} = \text{konst.}$ Tím okamžikem začíná II. takt činnosti převodníku, v němž se přepínač S1 přepojí do opačné (tj. dolní) polohy a přivede na vstup integrátoru přes přepínač S2 vybíjecí napětí U_{REF} požadované polarity. V tomto druhém taktu probíhají tudíž dvě činnosti:

- 1) integrační kondenzátor se lineárně vybíjí,
- 2) vynulovaný čítač se znovu inkrementuje hodinovými pulzy, a to až do stavu, kdy napětí na integrátoru $U_C = 0$ a nulový komparátor čítání zastaví.

Z časového diagramu, v němž jsou zobrazeny průběhy při dvou hodnotách U_{IX} , U'_{IX} vstupního signálu U_M je zřejmé, že doba vybíjení a tím i počet pulzů (označen N , resp. N') na konci II. taktu je úměrný napětí integrátoru U_C na konci I. taktu. Toto napětí U_C je dáno strmostí nabíjecí křivky odpovídající velikosti napětí vstupního signálu U_M . Počet pulzů po ukončení druhého taktu převodu N je proto přímo úměrný vstupnímu signálu, tj. platí lineární závislost:

$$N = k \cdot U_M$$

Po vybití kondenzátoru C řídicí obvod sepnutím kontaktu S3 zajistí shodné počáteční podmínky každého následujícího cyklu převodu. Základní předností dvoutaktního A/Č převodníku ve srovnání s jednotaktním je přesnost. Změna parametrů obvodu (linearita, tolerance součástek, frekvence generátoru čítaných hodinových pulzů), jestliže probíhá pomaleji než odpovídá době převodu, přesnost neovlivní, protože se současně projevuje při nabíjení i vybíjení integrátoru. Zapojení je i odolné vůči poruchám, protože v intervalu vybíjení integrátoru, v němž se přesně stanovuje okamžik, v němž jeho napětí $U_C = 0$, je vstup převodníku přepínačem S1 od měřeného signálu U_M odpojen.

Č/A PŘEVODNÍKY

obecný princip funkce

Č/A převodníky se používají k převodu vstupní číselné hodnoty vyjádřené v binárním kódu na odpovídající výstupní hodnotu spojitého signálu, kterým zpravidla je výstupní napětí. Hodnotám 0,1 jednotlivých bitů vstupního čísla odpovídají stavy vypnuto resp. zapnuto odpovídajících spínačů převodníku.

Příklad: Jestliže je osmibitové číslo vyjádřeno hodnotou $D = \{ 0,1,0,1,0,0,1,1 \}$, potom užitím osmi spínačů $\{ S_7, S_6, S_5, S_4, S_3, S_2, S_1, S_0 \}$ bude na výstupu převodníku realizována hodnota analogového signálu A:

$$\begin{aligned} A &= S_7 \cdot 2^7 + S_6 \cdot 2^6 + S_5 \cdot 2^5 + S_4 \cdot 2^4 + S_3 \cdot 2^3 + S_2 \cdot 2^2 + S_1 \cdot 2^1 + S_0 \cdot 2^0 = \\ &= 0 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 83 \text{ jednotek rozsahu} \end{aligned}$$

Výstupem Č/A převodníku proto bude napětí $U_V = k \times 83$ jednotek odvozené z přesného referenčního napětí U_{REF} .

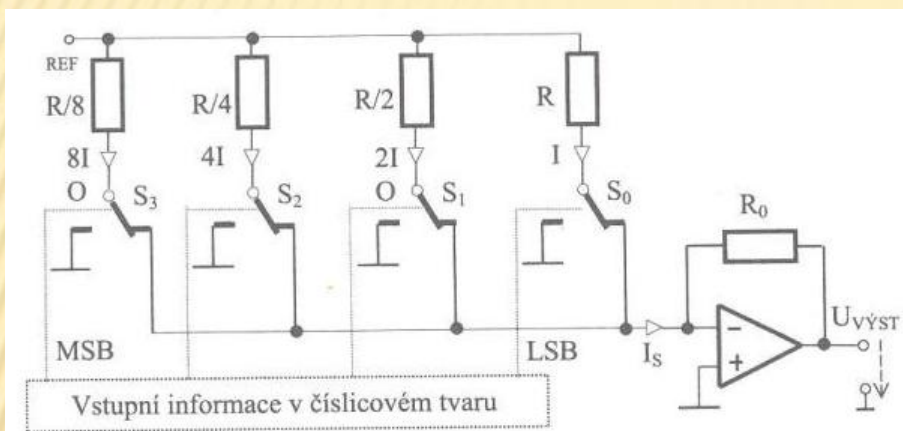
Č/A PŘEVODNÍKY - POUŽITÍ

V automatizační technice se Č/A převodníky užívají k převodu výstupních signálů číslicových řídících členů na analogový signál ovládání spojitéch akčních členů. Jiným typickým užitím je převod číslicových signálů pro analogové zobrazení ukazovacími měřicími přístroji na ovládacích panelech dozoru technologických linek (energetika), palubních deskách dopravních prostředků či zobrazení výchylky paprsku obrazovky číslicového osciloskopu.

Nejpoužívanější typy:

- a) převodník s váhovými odpory (*obr. 4.23*),
- b) převodník s odporovou sítí R-2R (*obr. 4.24*).

Č/A PŘEVODNÍK – s VÁHOVÝMI ODPORY



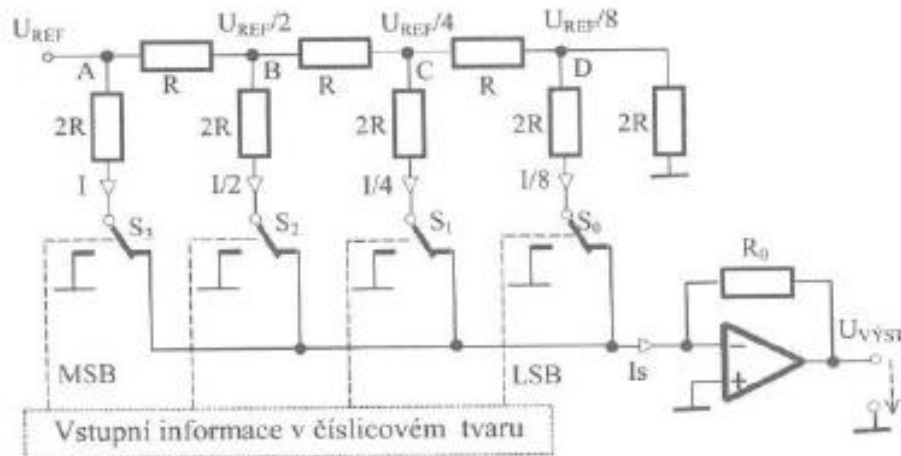
Obr. 4.23 Č/A převodník s váhovými odpory

Princip převodu spočívá v přiřazení velikosti proudu každému dvojkovému číslu. Toto přiřazení se realizuje pomocí referenčního napětového zdroje a paralelně řazených odporů s hodnotami odstupňovanými v dvojkové soustavě tak, jak je znázorněno pro čtyřbitový převodník na obr. 4.23.

Váhové proudy I , $2I$, $4I$, $8I$ pro každou dekádu se přes přepínače $S_0 \div S_3$, jejichž poloha odpovídá binárním hodnotám 0,1 převáděného

binárního čísla, připojí do společného uzlu na vstupu invertujícího sčítacího zesilovače. Jeho výstupní napětí U_{VYST} je proto úměrné součtu proudů protékajících sepnutými přepínači. Rozsah převodníku je dán počtem paralelních odporových čtveřic (tetrád) zapojených do společného sčítacího uzlu (obr. 4.20). Pro převod hodnot v rozsahu $0 \div 999$, tj. pro rozlišení 1‰ jsou třeba tři tetrády. Přesnost zapojení je dána jednak úbytky napětí na použitých sepnutých polovodičových přepínačích $S_0 \div S_3$ v závislosti na protékajícím proudu, ale především tolerancí použitých odporů. Odchylka odporu 1% v tetrádě generující proudy řádově 10^2 (tj. $100 \div 800 \times I$) představuje hodnoty proudů v řádu 10^0 (tj. $1 \div 8 \times I$). Proto se, z důvodu velkého počtu různých a přitom přesných odporů v nejnižších hodnotách, používá převodník s příčkovou odporovou sítí R-2R, vyžadující pouze dvě hodnoty odporů.

Č/A PŘEVODNÍK – S ODPOROVOU SÍTÍ R-2R



Obr. 4.24 Č/A převodník s odporovou sítí R-2R

Princip převodu je ve shodě s předchozím typem založen na sčítání proudů odstupňovaných v mocninách dvou užitím sčítacího zesilovače. Realizace tohoto dělení proudů je ale provedena sériovým řazením odporových děličů s poměrem 2:1, přičemž odporová síť obsahuje jenom dva typy shodných odporů s hodnotami R a 2R. Schéma zapojení převodníku je uvedeno na obr. 4.24 a zahrnuje i přepínače $S_0 + S_3$ řízené vstupním číslicovým signálem. Princip dělení napětí a proudů v mocninách dvou plyne

z toho, že výsledný odpor R_V paralelní kombinace dvou odporů s hodnotou 2R má velikost:

$$R_V = 2R \cdot 2R / (2R + 2R) = R$$

Č/A PŘEVODNÍK – S ODPOROVOU SÍTÍ R -2R

Při postupném zjednodušování odporové sítě zprava lze tudíž dvojici odporů $2R$ ve svislých větvích nahradit odporem R , takže napětí U_D v bodě D nezatíženého odporového děliče tvořeného odporem R v podélné větvi a kombinací paralelních odporů $2R$ ve svislých větvích je polovinou napětí U_C v bodě C. To plyne z vyjádření napěťového dělicího poměru ve tvaru:

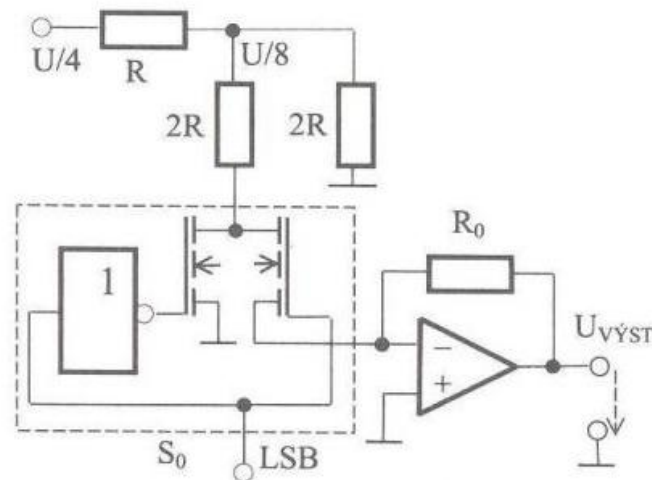
$$U_D = U_C \frac{2R \parallel 2R}{R + 2R \parallel 2R} = U_C \frac{R}{R + R} = \frac{U_C}{2}$$

Vpravo od bodu C jsou proto v sérii zapojeny dva shodné odpory velikosti R , které s paralelně zapojeným odporem $2R$ ve svislé větvi určují výsledný odpor opět R . Napětí v bodě C označené U_C je proto znovu polovinou napětí v bodě B. Tímto způsobem by bylo možno pokračovat ve zjednodušování schématu dále vlevo takže lze obecně uvést, že hodnoty napětí v uzlech podélné větve A,B,C,D ve směru od zdroje referenčního napětí U_{REF} doprava tvoří geometrickou řadu s kvocientem $1/2$, jak je

Č/A PŘEVODNÍK – S ODPOROVOU SÍTÍ R -2R

uvedeno ve schématu. Hodnoty napětí se přechodem na sousední uzel vpravo zmenšují na polovinu hodnoty v sousedním uzlu vlevo a proto i proudy procházející svislými větvemi přes odpory $2R$ jsou odstupňovány v mocninách dvou a podle stavů zapnutých přepínačů $S_0 \div S_3$ odpovídajících vstupní číslkové informaci se na vstupu OZ sčítají. Protože potenciál invertujícího vstupu OZ je nulový, jsou přepínače $S_0 \div S_3$ v obou polohách připojeny na shodný nulový potenciál, takže funkce obvodu jejich polohou ovlivněna není.

Přednost zapojení spočívá v jednoduché realizaci užitím pouze dvou hodnot odporů, přepínače se realizují dvojicí MOS tranzistorů buzených v protifázi. Detailní schéma zapojení přepínače S_0 ze schématu na obr. 4.23. je uvedeno na obr. 4.25. Převodník se vyrábí v integrovaném provedení jako 8, 10 nebo 12bitový s dobou převodu asi $0,5 \mu s$.



Obr. 4.25 Zapojení přepínače Č/A převodníku párem unipolárních tranzistorů